

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-039959
 (43)Date of publication of application : 10.02.1992

(51)Int.CI. H01L 25/00

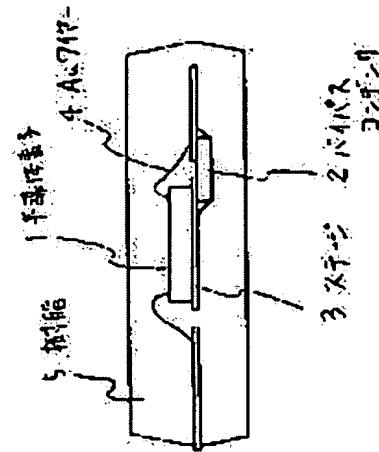
(21)Application number : 02-146779 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 05.06.1990 (72)Inventor : TSUCHIDO KENJI

(54) SEMICONDUCTOR

(57)Abstract:

PURPOSE: To reduce the power supply impedance as viewed from a semiconductor chip with a capacitor installed at the shortest position by incorporating a bypass capacitor in a semiconductor and by electrically connecting the stage of the chip to one electrode of the capacitor.

CONSTITUTION: A semiconductor chip 1 fixed on a stage 3 is electrically connected to predetermined lead terminals with metal filament (Au wire) 4 by wire bending or the like. A bypass capacitor 2 is electrically connected between the stage's face reverse to the chip 1 and Vss lead terminals and transfer-molded with a mold resin 5 including the chip 1 and a part of leads. The capacitor 2 can be incorporated in the semiconductor and installed at the shortest position of the chip 1; therefore, the power supply impedance as viewed from the chip 1 can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫公開特許公報(A)

平4-39959

⑪Int.Cl. 5

H 01 L 25/00

識別記号

府内整理番号

B

7638-4M

⑬公開 平成4年(1992)2月10日

審査請求 未請求 請求項の数 2 (全4頁)

④発明の名称 半導体

②特 願 平2-146779

②出 願 平2(1990)6月5日

⑦発明者 土戸 健次 長野県上伊那郡箕輪町大字中箕輪8548番地 松島工業株式会社内

⑦出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号

⑦代理人 弁理士 鈴木 喜三郎 外1名

明細書

(従来の技術)

従来の半導体を第4図に示し説明する。ステージ53に固着された半導体素子51と所定のリード端子56～71を金属細線(本例ではアリワイヤー)54によりワイヤーボンディング接線等で電気的接続され、前記半導体素子51と前記リード端子54～71の一部を含んでモールド樹脂等の樹脂55によりトランスマルト被覆されていた。

(発明が解決しようとする課題)

しかしながら、従来の技術では半導体に入力される周波数が高くなると、電源ラインのリード端子のインダクタンス成分により電源インピーダンスが上昇($Z = 2\pi f L$ より周波数に比例する)し、電源リップルが増大し、誤動作するという問題を有していた。

また、従来の半導体を基板等に組み込んだ場合、前記半導体の近くに設置するバイパスコンデン

1. 発明の名称

半導体

2. 特許請求の範囲

(1) 少なくとも半導体素子とリードフレームとで構成される半導体において、バイパスコンデンサを前記半導体内のVDDリード端子とVSSリード端子間に電気的接続されることを特徴とする半導体。

(2) バイパスコンデンサの一方の電極が半導体素子のステージに電気的接続されることを特徴とする請求項1記載の半導体。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体の構成及び構造に関する。

サの位置や、前記基板の配線パターンにより前記半導体の出力波形が変化し、仕様が満足できず、I/O等が誤動作するという問題点も有していた。そこで本発明はこのような問題点を解決するため、半導体素子からみた電源インピーダンスを低減させることにより、誤動作及び、出力波形の変化を防止させることを目的とする。

〔課題を解決するための手段〕

(1) 本発明の半導体は、少なくとも半導体素子とリードフレームとで構成される半導体において、バイパスコンデンサを前記半導体内のVDDリード端子とVSSリード端子間に電気的接続されることを特徴とする。

(2) 前記半導体は、バイパスコンデンサの一方の電極が半導体素子のステージに電気的接続されることを特徴とする。

〔実施例〕

本発明の半導体を図面にもとづき詳細に説明す

る。

前記バイパスコンデンサ2は前記半導体内に内蔵することができ、しかも、前記半導体素子1の最短の位置に設置することができるので、前記半導体素子1からみた電源インピーダンスを低減させることができ、電源リップルを抑制することができる。また、前記半導体素子1からみた電源インピーダンスは一定であるため、基板等へ実装した場合、外付けのバイパスコンデンサの位置や前記基板の配線パターンによって誤動作したり、出力波形が変化することはない。

尚、応用例として、第3図に示すように少なくとも水晶振動子等の圧電振動子3と半導体素子31とリードフレームから構成される圧電発振器にも応用することができる。

〔発明の効果〕

以上述べたように本発明によれば、バイパスコンデンサを半導体内に内蔵し、なおかつ、半導体素子のステージを前記バイパスコンデンサの一方

る。

第1図は本発明の一実施例を示す側面断面図であり、第2図は第1図の平面図である。

リードフレーム内に構成されるリード端子6～21の内VDDリード端子6とVSSリード端子7は電源ライン用のリード端子である。

半導体素子1のサブストレート(IG基板)は通常、電源電圧またはグランドに電気的接続されるため、本例では、前記半導体素子1のステージ3が前記VDDリード端子6と電気的接続される様に同一のリード端子となっている。

前記ステージ3に固着された前記半導体素子1は、金属細線(本例ではアロワイヤー)4により所定のリード端子6～21にワイヤーボンディング接続等により電気的接続される。

バイパスコンデンサ2は前記ステージ3の前記半導体素子1と逆の面と前記VSSリード端子7との間に電気的接続され、前記半導体素子1と前記リード端子6～21の一部を含んでモールド樹脂等の樹脂5によりトランスマーモールドされ

る電極と電気的接続することにより、前記半導体素子の最短の位置に前記バイパスコンデンサを設置することができることから、前記半導体素子からみた電源インピーダンスを低減させることができ、誤動作の防止、及び、出力波形の変化を防止することができる。

4. 図面の簡単な説明

第1図は本発明の半導体の一実施例を示す断面図。

第2図は第1図の平面図。

第3図は本発明の応用例の圧電発振器の一実施例を示す断面図。

第4図は従来の半導体を示す平面図。

1, 31, 51 ……半導体素子

2, 32 ……バイパスコンデンサ

3, 33, 53 ……ステージ

4, 34, 54 ……アロワイヤー

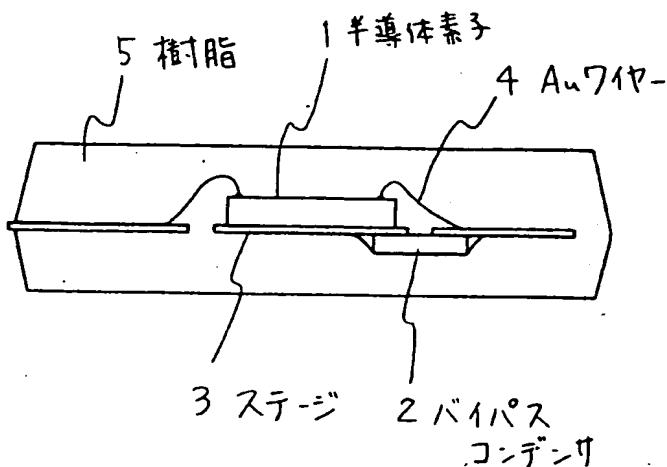
5, 35, 55 ……樹脂

6～21, 56～71 ……リード端子

38----圧電振動子

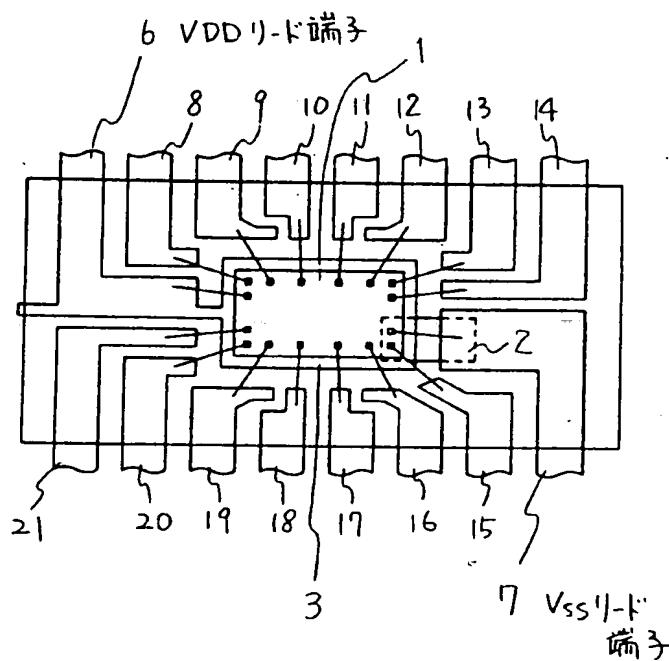
以 上

出願人 セイコーエプソン株式会社
 代理人 弁理士 鈴木喜三郎(他1名)

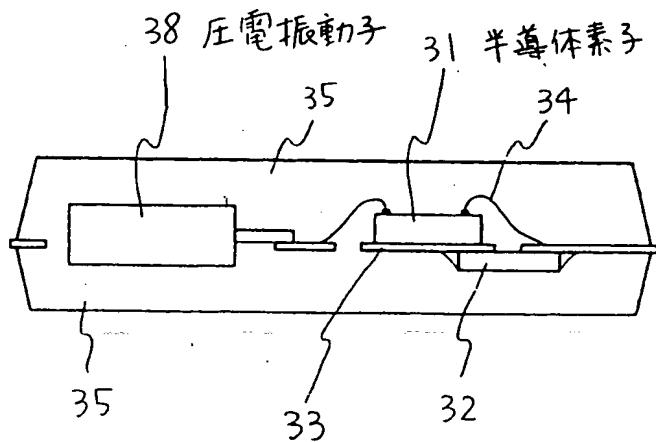


第1図

8~21 リード端子

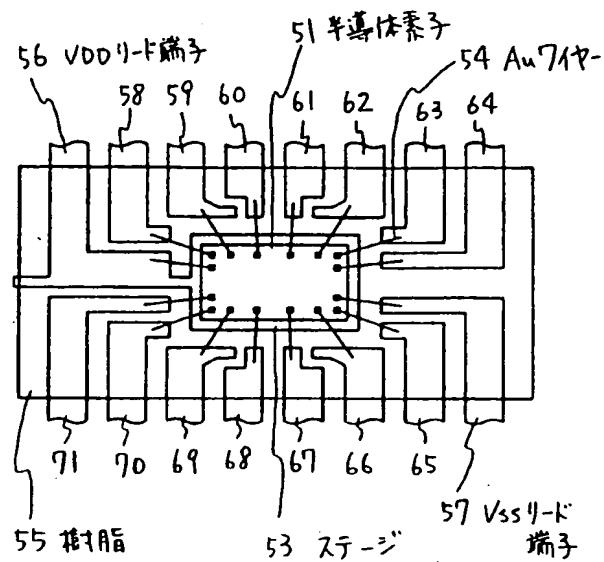


第2図



第3図

58~71 リード端子



第4図